عنوان طرح:

فارسی:

افزایش کارایی و قابلیت اطمینان سیستم های دیجیتال

انگلیسی:

Performance and Reliability Enhancement of Digital Systems

مجری طرح:

نام و نام خانوادگی: علی افضلی کوشا

رشته تحصیلی: مهندسی برق و کامپیوتر **گرایش:** سیستم های دیجیتال – معماری کامپیوتر – الکترونیک

رتبه علمی: استاد **دانشگاه اخذ آخرین مدرک تحصیلی:** میشیگان– Ann Arbor

محل خدمت فعلی: دانشگاه تهران

نوع طرح: بنیادی ☐ کاربردی ☒

خلاصه طرح:

هر روز با گذشت زمان درخواست برای حجم محاسبات توسط سیستم های دیجیتال بیشتر رو به افزایش می باشد. این درخواست با پیشرفت فناوری ساخت نیمه هادی که در آن ابعاد ترانزیستورها کاهش قابل ملاحظه می یابد پاسخ داده می شود. امروزه با توجه به مشکلات موجود در افزایش کارائی تراشه‌های تک پردازنده و همچنین افزایش نیاز به کارائی بیشتر در کاربردهای گوناگون، باعث شده است که تراشه‌های چندپردازنده به عنوان راه

حلی مناسب برای افزایش کارائی مورد استفاده قرار گیرند. افزایش تعداد پردازنده‌ها بر روی یک تراشه برای افزایش قدرت محاسباتی، اگر چه نسبت به یک تراشه تک پردازنده برای یک سرعت محاسباتی یکسان به انرژی مصرفی کمتری منجر خواهد شد، ولی همچنان افزایش توان مصرفی و دمای تراشه در این نوع تراشه ها از مشکلات این مدارها خواهد شد. امروزه، این دو عامل (توان و دما) به عنوان دو عامل بازدارنده مهم در افزایش کارائی تراشه‌های چندپردازنده مطرح می‌شوند. در نتیجه بهینه سازی کارایی با کمینه کردن انرژی مصرفی از اهداف طراحی می باشد. از طرف دیگر، با کاهش ابعاد ترانزیستورهای مورد استفاده در طراحی سیستم‌های دیجیتال، پیچیدگی‌هایی در طراحی و پیاده سازی این سیستم‌ها ایجاد شده است. این پیچیدگی‌ها سبب تغییرات غیر قابل پیش‌بینی در فرآیند (ساخت) و در حین کار ناشی از تغییر درجه حرارت و نوسانات ولتاژ منبع تغذیه، و پیچیدگی برقرار کردن اتصالات برای این سیستم‌ها که ترانزیستورهای آن به بیش از چند میلیارد افزایش می‌یابد، نیز شده است. همچنین با گذشت زمان (سالخوردگی) عملکرد ترانزیستورها تغییر یافته که سبب تغییر رفتار مدارهای/سیستم های دیجیتال می گردد.

از طرف دیگر استفاده از روش های محاسبات نوین نیز می تواند به افزایش کارایی و کاهش توان مصرفی منجر شود. امروزه محاسبات غیر دقیق و محاسبات نورومورفیکی، دو روش محاسباتی می باشند که به عنوان روش های مرسوم برای برخی از کاربردها پیشنهاد می گردند. در محاسبات نورومورفیکی با الهام گرفتن از سیستم عصبی انسان، سعی می شود با منابع محاسباتی کمتر، برخی از کاربردها را سرعت تر انجام داد. پیاده سازی سیستم های نورومورفیکی به دو صورت دیجیتال و آنالوگ می باشد که طراحی دیجیتال آن ساده تر است. در نقطه مقابل طراحی آنالوگ مدارات نورومورفیکی باعث افزایش سرعت و کاهش توان به مقدار قابل ملاحظه ای می شود. نکته مهم در طراحی آنالوگ، مقاومت آن در برابر نوسانات وزن ها و پارامترهای تابع فعال سازی آن می باشد. بنابراین طراحی با توجه به نوسانات نکته ای مهم در این نوع طراحی می‌باشد.

برای طراحی سیستم های دیجیتال ضمن مدلسازی پدیده های مربوط به نوسانات فرآیندی و محیطی، روش های طراحی برای کاهش توان مصرفی باید این نوسانات را در حین طراحی مد نظر قرار داده و تمهیدات لازم برای حداقل سازی اثرات نامطلوب این پدیده ها را در طراحی سیستم تعبیه نماید. به طور مشخص، در این طرح، با بررسی روش‌های موجود طراحی سیستم های دیجیتال، راه کارهای جدید برای کاهش توان مصرفی در سطوح مختلف و روش هایی برای مقابله با اثرات نا مطلوب نوسانات غیر قابل پیش‌بینی در فرآیند ساخت و

تغییرات محیطی در پردازنده های مرسوم ارائه خواهند شد. البته به حافظه های SRAM به عنوان یک زیر سیستم مهم به طور ویژه پرداخته خواهد شد. از طرف دیگر، با ایجاد امکان کنترل حالت های مختلف زیر سیستم ها و کل سیستم دیجیتال، می توان روش‌هایی برای افزایش سرعت و کاهش انرژی مصرفی در حین کار سیستم ایجاد نمود و همچنین اثرهای نوسانات را برای کارایی مورد نظر کاربرد حداقل نمود. تعبیه این امکانات در سیستم دیجیتال طراحی شده، امکان اعمال روش هایی که مناسب سیستم در هنگام استفاده از آن در یک کاربرد خاص است نیز می تواند فراهم نماید.

اهداف طرح:

۱. ارائه مدل هایی برای رفتار مدارها/سیستم های دیجیتال در حضور تغییرات ناشی از فرآیند و در حین کار.
۲. ارائه مدل هایی برای تغییر رفتار مشخصات سیستم های دیجیتال ناشی از سالخوردگی.
۳. ارائه روش‌های جدید طراحی افزایش سرعت سیستم های با در نظر گرفتن محدودیت انرژی مصرفی در سطوح مختلف طراحی.
۴. ارائه روش‌های طراحی برای تضمین کارکرد صحیح مدار در حضور تغییرات ناشی از فرآیند ساخت و در حین کار سیستم های دیجیتال.

مدت اجرای طرح:

۱۲ ماه

بیان مسأله:

یافتن روش های افزایش کارایی با در نظر گرفتن محدودیت انرژی مصرفی سیستم های دیجیتال به نحوی که نوسانات فرایندی و محیطی و همچنین اثرات سالخوردگی حداقل تأثیر را بر روی عملکرد و طول مفید پردازنده های را بگذارد.

ضرورت و اهمیت اجرای طرح:

درخواست برای انجام محاسبات بیشتر توسط سیستم های دیجیتال به طور پیوسته در حال افزایش می باشد. به منظور پاسخگویی به این تقاضا، فناوری ساخت نیمه هادی به سمت کاهش هر چه بیشتر ابعاد ترانزیستورها روی آورده است. این کاهش ابعاد و در نتیجه افزایش چگالی ترانزیستورها و چگالی محاسباتی پردازنده به همراه خود افزایش غیر قابل قبول توان مصرفی را آورده است. یکی از راه های کاهش توان مصرفی با حفظ کارایی استفاده از تراشه های چند پردازنده ای است. بهینه سازی توان مصرفی این تراشه ها نیازمند ملاحظاتی متفاوت از تراشه های تک پردازنده ای است. پیشرفت فناوری در کوچک سازی ابعاد ترانزیستورها سبب به وجود آمدن پیچیدگی-هایی در طراحی و پیاده سازی این سیستم‌ها شده است. این پیچیدگی‌ها شامل تغییرات غیر قابل پیش‌بینی در فرآیند ساخت و در حین کار ناشی از تغییر درجه حرارت و نوسانات ولتاژ منبع تغذیه، و پیچیدگی برقرار کردن اتصالات برای این سیستم‌ها که ترانزیستورهای آن به بیش از چند میلیارد افزایش می‌یابد، می‌شود. دلیل این امر اینست که مقادیر پارامترها از رفتار قابل پیش بینی به رفتار آماری تغییر حالت داده اند. در این پروژه بهبود کارایی و قابلیت اطمینان با در نظر گرفتن محدودیت توان کاهش توان مصرفی در حضور نوسانات فرآیندی و محیطی که عدم قطعیت در پارامترهای پردازنده‌ها را به همراه می آورد می‌باشد. همچنین پدیده سالخوردگی در طراحی این سیستم ها در نظر گرفته خواهد شد. برای رفع این مشکلات فناوری، تحقیقات علمی پایه‌ای و کاربردی مورد نیاز است تا طراحی به نحو مناسبی صورت پذیرد. . برای رسیدن به این هدف، علاوه بر تمرکز بر روی روش های مرسوم در سطوح مختلف طراحی، از روش‌های نوین طراحی نیز استفاده خواهد شد. در این تحقیق، توجه ویژه ای نیز به بهبود قابلیت اطمینان سیستم های دیجیتال به خصوص پردازنده‌ها در حضور نوسانات زمانی خواهد شد.

مروری بر ادبیات و پیشینه تحقیق:

در هر یک از زمینه‌های فوق در دانشگاه‌ها و مراکز تحقیقاتی صنعتی معتبر تحقیقات گسترده‌ای در حال انجام است. به عنوان مثال مسئله کنترل دما و توان مصرفی در تراشه های چند پردازنده توسط محققین و گروه‌های علمی زیادی مورد توجه قرار گرفته است [۱]- [۱۰]. برای مثال می‌توانیم به سیستم مدیریت ولتاژ و فرکانس کاری ارائه شده در [۴] اشاره کرد که در آن سعی شده است راهکاری ارائه شود تا در یک تراشه چند پردازنده‌ای

همگون با حداقل توان مصرفی به حداکثر توان عملیاتی رسید. در [۵] الگوریتمی ارائه شده است که قادر است پارامترهای ولتاژ و فرکانس را طوری تعیین کند که انرژی مصرفی تا حد امکان کاهش یابد. در [۶] الگوریتمی بر مبنای برنامه‌نویسی خطی ارائه شده است که قادر است با توجه به نوسانات فرآیند، با توجه به میزان حداکثر توان مصرفی تعیین شده، زمان‌بندی مناسب را برای کارهای ورودی به تراشه برای رسیدن به حداکثر توان عملیاتی بدست آورد. نکته مهم در مورد این کار آن است که در آن دما و تاثیر دما بر روی توان نشتی مورد بررسی قرار نگرفته است. در [۷] چندین روش مدیریت دما مانند مهاجرت محاسبات و یا تعیین فرکانس بر اساس دما در سیستم‌های چند پردازنده مورد مطالعه قرار گرفته است. در [۸] الگوریتمی بر مبنای روش بهینه‌سازی محدب برای کنترل دمای مصرفی بر اساس کنترل سرعت ارائه شده است. همچنین در [۹] و [۱۰] روش‌های کنترل حلقه بسته مانند کنترل پیشبینی- مدل برای کنترل دما مورد مطالعه و بررسی قرار گرفته است.

حال در ادامه مجموعه ای از کارهای انجام شده در زمینه محاسبات نورومورفیکی، مقاوم‌سازی پردازندها در مقابل نوسانات فرآیند و کارهای انجام شده در زمینه مقاوم‌سازی پردازندها در مقابل سالخوردگی بیان خواهد شد.

۱- محاسبات نورومورفیکی

در [۱۱] مدل و راهکارهای کلی برای پردازش نورومرفیک مبتنی بر ممریستور (حافظه مقاومتی) مطرح شده است و نشان داده شده است که با افزایش تعداد ممریستورهای آرایه (اندازه آرایه)، راندمان انرژی افزایش پیدا می کند. در[۱۲] و [۱۳] آرایش Crossbar از ممریستور ها به عنوان پرسپترون مورد استفاده قرار گرفته و با شبیه سازی SPICE و MATLAB نشان داده شده است که ساختار مذکور می تواند راندمان انرژی بسیار بالایی نسبت به ساختارهای مرسوم پردازش موازی (پردازش روی پردازنده گرافیکی یا سایر پردازنده های چند هسته ای) داشته باشد. همچنین در [۱۳] پیشنهاد شده است که از هسته های فوق به عنوان واحدهای پردازشی در یک معماری چندهسته ای استفاده گردد. در [۱۴] یک شتاب دهنده قابل پیکربندی ارائه شده است. در این شتاب دهنده آرایه های ممریستور در ساختار توری متمرکز شده (Centralized Mesh) ساماندهی می شوند و از یک روتر آنالوگ برای ارتباط بین گروهایی ممریستور استفاده می شود. در [۱۵] با ارائه الگورتم‌هایی برای دسته بندی و چینش آرایه های ممریستوری، یک چارچوب کلی (Framework) برای طراحی خودکار سیستم های نورومورفیک پیشنهاد شده است.

در [۱۶] الگوریتم ها و کاربردهایی برای سیستم محاسبات شناختی TrueNorth پیشنهاد شده که از کاربردهای آن می توان به تشخیص گوینده، تشخیص سازنده موزیک، و پیش بینی دنباله اشاره نمود. در [۱۷] پیشنهاد شده که اجرای قسمت هایی از کد یک برنامه که قابلیت اجرا با دقت کمتر و به صورت تقریبی را دارند بر عهده یک شتابدهنده آنالوگ نورومورفیک گذاشته شود. در [۱۸] یک پردازنده نورومورفیک با ۲۵۶ نورون و حدود ۱۲۸ هزار سیناپس در تکنولوژی ۱۸۰ نانومتر CMOS پیاده سازی شده است. در این مقاله برای پیاده سازی هر نورون از حدود ۳۰ ترانزیستور و ۳ خازن استفاده شده است که در مقایسه با ممریستور به مراتب مساحت بیشتری اشغال می کند. در [۱۹] با در کنار هم قرار دادن یک FPGA و یک مدار مجتمع آنالوگ و ایجاد تلفیقی از نورون های دیجیتال و آنالوگ، امکان برنامه ریزی مکانی – زمانی شبکه های عصبی فراهم آورده شده است.

۲- مقاوم‌سازی پردازنده‌ها در مقابل نوسانات فرآیند

یکی از مشکلات موجود در طراحی پردازنده‌ها در فناوری‌های ساخت امروزی وجود عدم قطعیت در فرکانس کاری و توان مصرفی پردازنده‌های تولید شده می‌باشد. تا کنون کارهای زیادی در این زمینه انجام شده است [۲۰]–[۲۳]. تمامی این تحقیقات به دنبال راه حلی هستند تا بتوانند در صورت وجود نوسانات فرآیند با کاهش کارائی مانع از توقف کار پردازنده شوند. عمده روش‌های پیشنهاد شده در سطح معماری می‌باشند. برای نمونه می‌توانیم به تحقیقی اشاره کنیم که پیشنهاد استفاده از لتچ به جای فلیپ – فلاپ را در مسیرهای بحرانی پردازنده‌ها می‌دهد. همچنین در تحقیقی دیگر سعی شده است که خانه ثبات را طوری طراحی کند که در مقابل نوسانات فرآیند مقاوم باشد [۲۳].

۳- مقاوم‌سازی پردازندها در مقابل سالخوردگی

سالخوردگی یکی از مشکلات بسیار مهم در پردازنده‌های تولید شده می‌باشد. مشکل سالخوردگی در پردازنده‌هایی وجود دارد که به طور مرتب روشن هستند و مورد استفاده قرار می‌گیرند. تا کنون تحقیقات زیادی در این زمینه انجام شده است (به عنوان مثال [۲۴]–[۲۶]). مجموعه‌ای از تحقیقات به دنبال راه‌حل‌هایی در سطح مداری و معماری هستند تا بتوانند تاثیر سالخوردگی را کاهش دهند [۲۵]. از طرف دیگر کارهایی وجود دارد که در آن‌ها سعی شده با تغییر در الگوریتم زمان‌بندی پردازنده‌ها، افزایش تاخیر ناشی از

سالخوردگی را کاهش دهند [۲۵]. در نهایت گروه‌هایی سعی کرده‌اند با استفاده از داده‌های مناسب و هدف دار تاثیر سالخوردگی را در مسیرهای بحرانی پردازنده‌ها کاهش دهند [۲۶].

[1] J. Donald and M. Martonosi, "Techniques for Multicore Thermal Management: Classification and New Exploration," *SIGARCH Computer Architecture News,* 2006.

[2] J. Sharkey, A. Buyuktosunoglu, and P. Bose, "Evaluating Design Tradeoffs in On-Chip Power Management for CMPs," *Proc. of Int'l Symp. on Low Power Electronics and Design*, 2007.

[3] S. Herbert, D. Marculescu, "Analysis of dynamic voltage/frequency scaling in chip-multiprocessors," *Proc. of Int'l Symp. on Low Power Electronics and Design*, 2007.

[4] C. Isci, *etal.* "An Analysis of Efficient Multi-Core Global Power Management Policies: Maximizing Performance for a Given Power Budget," *Proc. IEEE/ACM int'l Symp. on Microarchitecture,* 2006.

[5] R. Ayoub, U. Ogras, E. Gorbatov, T. Kam, P. Diefenbaugh, and T. Rosing, "Performance and Energy Aware OS-level DVFS Control in Chip-Multiprocessors," *Intel and UCSD technical report,* 2011.

[6] R. Teodorescu and J. Torrellas, "Variation-Aware Application Scheduling and Power Management for Chip Multiprocessors," Proc. *International Symposium on Computer Architecture,* 2008

[7] K. Skadron, *et al.* "Temperature-Aware Microarchitecture: Modeling and Implementation," ACM *Transactions on Architecture and Code Optimization*, Vol. 1, No. 1, March 2004, Pages 94–125.

[8] A. Mutapcic, S. Boyd, S. Murali, D. Atienza, G. De Micheli, and R. Gupta "Processor Speed Control with Thermal Constraints," *IEEE Trans. on Circuits and Systems—I,* VOL. 56, NO. 9, 2009.

[9] Y. Wang, K. Ma, and X. Wang, "Temperature-Constrained Power Control for Chip Multiprocessors with Online Model Estimation," *International Symposium on Computer Architecture*, 2009.

[10] A. Bartolini, M. Cacciari, A. Tilli, and L. Benini, "A Distributed and Self-Calibrating Model-Predictive Controller for Energy and Thermal management of High Perfromance Multicores," *DATE,* 2011.

[11] Q. Wu, B. Liu, Y. Chen, H. Li, Q. Chen, Q. Qiu, "Bio-Inspired Computing with Resistive Memories – Models, Architectures and Applications," In Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), 2014.

[12] C. Yacopcic, R. Hasan, T. M. Taha, M. R. McLean, and D. Palmer, "Efficacy of Memristive Crossbars for Neuromorphic Processors," In Proceedings of International Joint Conference on Neural Networks (IJCNN), 2014, pp.15-20.

[13] T. M. Taha, R. Hasan, and C. Yacopcic, "Memristor Crossbar Based Multicore Neuromorphic Processors," In Proceedings of 27th IEEE International System-on-Chip Conference (SOCC), 2014, pp. 383-389.

[14] H. Jiang, M. Barnell, Q. Wu, J. Yang, "RENO: A High-efficient Reconfigurable Neuromorphic Computing Accelerator Design," In Proceedings of 52nd ACM/EDAC/IEEE Design Automation Conference (DAC), 2015.

[15] W. Wen, C- R. Wu, X. Hu, et al, "An EDA Framework for Large Scale Hybrid Neuromorphic Computing Systems," In Proceedings of 52nd ACM/EDAC/IEEE Design Automation Conference (DAC), 2015.

[16] S. K. Esser, A. Andreopoulos, R. Appuswamy, et al, "Cognitive Computing Systems: Algorithms and Applications for Networks of Neurosynaptic Cores," In Proceedings of International Joint Conference on Neural Networks (IJCNN), 2013, pp. 1-10.

[17] R. S. Amant, et al., "General-Purpose Code Acceleration with Limited-Precision Analog Computation," In Proceedings of ACM/IEEE 41st International Symposium Computer Architecture (ISCA), 2014, pp. 505-516.

[18] N. Qiao, H. Mostafa, F. Corradi, et al, "A Re-configurable On-line Learning Spiking Neuromorphic Processor comprising 256 neurons and 128K synapses," Frontiers in Neuroscience, vol. 8, Article 51, Apr 2014.

[19] R. M. Wang, T. J. Hamilton, J. C. Tapson, et al, "A mixed-signal implementation of a polychronous spiking neural network with delay adaptation," Frontiers in Neuroscience, vol. 8, Article 51, 2014.

[20] N. V. Mujadiya, “Instruction scheduling for VLIW processors under variation scenario,” in *Proceedings of the 9th International Conference on Systems, architectures, modeling and simulation (SAMOS)*, 2009, pp. 33-40.

[21] P. Ndai, N. Rafique, M. Thottethodi, and S. Ghosh, ”Trifecta: a nonspeculative scheme to exploit common, data-dependent subcritical paths,” in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems,* vol. 18, pp. 53-65, 2009.

[22] T. Sato and S. Watanabe, “Uncriticality-directed scheduling for tackling variation and power challenges,” in *Proceeding of 10th International Symposium on Quality Electronic Design (ISQED)*, 2009, pp. 820-825.

[23] X. Liang, G.Y. Wei, and D. Brooks, “Revival: A variation-tolerant architecture using voltage interpolation and variable latency,” in *Proceeding of 35th International Symposium on Computer Architecture (ISCA-35)*, 2008, pp. 191-202.

[24] T. Siddiqua and S. Gurmurthi,”A Multi-Level Approach to Reduce the Impact of NBTI on Processor Functional Units,” In Proceedings of the 20th symposium on Great lakes symposium on VLSI(GLVLSI), 2010, pp. 67-72.

[25] H. Dadgour and K. Banerjee, “Aging-Resilient Design of Pipelined Architecture using Novel Detection and Correction Circuits,” in *Proceedings of the Design, Automation and Test in Europe (DATE)*, 2010, pp. 244-249.

[26] S. Firouzi, S. Kiamehr, and M.B. Tahoori, “NBTI Mitigation by Optimized NOP Assignmetn and Insertion,” in *Proceedings of the Design, Automation and Test in Europe (DATE)*, 2012, pp. 218-223.

سوالات یا فرضیه های تحقیق:

نیاز به حجم محاسبات بیشتر، همراه با مصرف توان کمتر، یکی از مشکلات اصلی در طراحی‌های سیستم‌های دیجیتال امروزی می‌باشد. کوچک کردن افزاره‌ها یکی از راه‌حل های مناسب است ولی خود باعث

کاهش قابلیت اطمینان می‌شود. همچنین، وجود نوسانات فرآیند و نوسانات زمانی (سالخوردگی و فشارهای دمایی) می تواند بهبودهای به دست آمده از کوچک کردن افزاره‌ها را از بین ببرد. بنابراین ارائه روش‌هایی برای کاهش توان مصرفی و افزایش سرعت همراه با افزایش قابلیت اطمینان در فناوری‌های امروزی از نیازها و ضرورت‌های طراحی سیستم‌های دیجیتال می باشد. در راستای رسیدن به این اهداف، استفاده از الگوهای نوین محاسباتی (مانند محاسبات غیر دقیق و عصبگونه) یکی از راه‌حل‌هایی هستند که می توانند در افزایش سرعت و کاهش توان مصرفی مورد استفاده قرار گیرند. برای طراحی سیستم های دیجیتال با در نظر گرفتن پدیده های نوسانات فرایندی و محیطی، باید در حین طراحی تمهیدات لازم برای حداقل سازی اثرات نا مطلوب این پدیده ها صورت پذیرد. این تمهیدات می تواند در نظر گرفتن این اثرات در طراحی باشد و یا تعبیه روش‌های کنترلی در حین ساخت مدارهای دیجیتال به نحوی که بتوان با استفاده از آنها بتوان اثرات نامطلوب این پدیده ها را در حین کار مدار کمینه کرد. همچنین تغییرات رفتار مدارهای دیجیتال ناشی از سالخوردگی نیز باید در تعبیه این تمهیدات در صورت امکان لحاظ گردد. جستجو برای یافتن روش هایی که برای رسیدن به این اهداف باشند باید در سطوح مختلف طراحی صورت پذیرد. علاوه بر این، انتظار می رود استفاده از الگوهای نوین طراحی علاوه بر روش های سنتی، نیل به این اهداف را اثربخش تر نماید.

روش انجام طرح:

روش انجام تحقیق:

۱. جمع‌آوری بررسی کارهای گذشته در هر زمینه با مطالعه مقالات منتشر شده در کنفرانس‌ها و مجلات معتبر علمی.
۲. تعیین نقاط ضعف هر یک از مدل‌ها و روش‌های قبلی.
۳. ارائه مدل‌ها و روش‌های جدید در هر مورد و پیاده سازی آنها با استفاده از کامپیوتر.
٤. نوشتن نرم‌افزارهای مربوطه برای پیاده سازی مدل‌ها و روش‌های جدید.
٥. ارزیابی مدل‌ها و روش‌های جدید با استفاده از ابزار CAD مناسب برای هر مورد.